

Application BASTRI

Fiches Equipes

ALCHEMY (SR0453MR)

Architectures, Languages and Compilers to Harness the End of Moore Years
ALCHEMY (SR0135SR) □ ALCHEMY

Statut: Terminée

Responsable : Christine Eisenbeis

Mots-clés de "A - Thèmes de recherche en Sciences du numérique - 2024" : *Aucun mot-clé.*

Mots-clés de "B - Autres sciences et domaines d'application - 2024" :
Aucun mot-clé.

Domaine : Algorithmique, programmation, logiciels et architectures
Thème : Architecture et compilation

Période : 01/01/2011 -> 30/06/2011

Dates d'évaluation :

Etablissement(s) de rattachement : CNRS, U. PARIS 11 (P.-SUD)
Laboratoire(s) partenaire(s) : LRI (UMR8623)

CRI : Centre Inria de Saclay

Localisation : Centre de recherche Inria de Saclay
Code structure Inria : 111022-0

Numéro RNSR : 200718370S

N° de structure Inria:SR0453MR

Présentation

Les thèmes de recherche de l'équipe-projet ALCHEMY sont les architectures, langages et compilateurs pour les processeurs haute performance embarqués ou généralistes. ALCHEMY étudie des solutions alternatives aux optimisations incrémentales de l'architecture et du compilateur pour les processeurs haute performance. La complexité croissante de ces processeurs a deux conséquences essentielles. (1) A court terme, l'incapacité d'intégrer dans les compilateurs un modèle suffisamment précis de l'architecture rend difficile la génération de programmes efficaces, et l'obtention de performances soutenues élevées. (2) A long terme, la complexité de l'architecture rend difficile le dimensionnement des architectures de processeurs, plus exactement, il est de plus en plus difficile de traduire les progrès de la technologie en améliorations de performances. Nous développons deux approches correspondant à ces deux problèmes.

Axes de recherche

Compilation itérative

A court terme, nous étudions des techniques d'optimisation de programmes basées sur l'analyse dynamique, i.e., l'analyse détaillée du comportement du programme sur l'architecture au cours de l'exécution. De telles techniques sont habituellement appelées « compilation dynamique » ou « compilation itérative ». Nous souhaitons diffuser cet effort de recherche sous la forme d'un environnement de compilation itérative dans le cadre du Centre d'Optimisation de Programmes en cours de développement.

Approche combinée langage/architecture

À long terme, nous considérons que les causes de la complexité excessive de l'architecture du processeur et des faibles performances soutenues sont intrinsèques au modèle actuel de programmation et d'architecture. Plus précisément, le modèle actuel a deux principales faiblesses : il n'est pas conçu pour passer suffisamment de sémantique (sur le programme) au compilateur et à l'architecture, et il n'est pas non plus conçu pour gérer efficacement l'accroissement régulier de l'espace disponible sur la puce. Aussi, nous étudions des approches combinées architecture/langage qui évitent ces deux écueils. D'une part, nous étudions des langages qui peuvent passer la sémantique nécessaire au compilateur et à l'architecture sans sacrifier la facilité de programmation. Grâce à une sémantique plus riche, le compilateur comme l'architecture sont plus simples et donc potentiellement plus efficaces et moins coûteux. En outre, nous étudions des architectures simples et régulières intégrant des propriétés d'auto-organisation qui peuvent se dimensionner plus facilement avec la technologie. Cette recherche à long terme étant fortement

Contact

- **Responsable :** Christine Eisenbeis
- **Tél :** 01.72.92.59.52
- **Secrétariat Tél :** 01.72.92.59.18

En savoir plus

- Site de l'équipe
- Site sur inria.fr
- Site du responsable
- Derniers Rapports d'Activité :

Documents sur la structure

- Intranet
- Privés

Décisions

- **7857** (01/04/2011) : création

Localisation

- **Adresse postale :** Centre de recherche Inria de Saclay
Campus de l'École Polytechnique - Bâtiment Alan Turing
1 rue Honoré d'Estienne d'Orves 91120 Palaiseau France
- **Coordonnées GPS :** 48.714, 2.206

liée aux évolutions de la technologie, nous étudions en parallèle les alternatives possibles aux processus actuels de photolithographie sur silicium, et leur impact éventuel sur les modèles d'architecture et de programmation.

Activité transversale de méthodologie

Pour les deux approches ci-dessus, nous avons également développé une activité transversale sur les simulateurs de processeurs, utilisés à la fois pour l'optimisation de programmes et la modification des architectures. Cette activité se concentre essentiellement sur des méthodes rapides de développement et d'exécution des simulateurs de processeurs.

Relations industrielles et internationales

RNTL ATLAS (EADS, CEA)

RNTL COP (HP, STMicroelectronics)

RTP Architecture-Compilation

AIR&D joint virtual laboratory for Ambient Intelligence

Industrie: HP France & HP Labs, Philips Research, STMicroelectronics

France: Univ. Paris 6, Univ. Toulouse, Univ. Versailles, CEA LIST, INRIA Compose,

INRIA Compsys

International: Univ. Passau, UPC, Univ. Illinois