

# Application BASTRI

## Fiches Equipes

### TICK (SR0386RR)

Etude et implémentation des systèmes réactifs synchrones  
MEIJE (SR0251CR)  TICK  AOSTE (SR0165VR)

**Statut:** Terminée

**Responsable :** Robert De Simone

**Mots-clés de "A - Thèmes de recherche en Sciences du numérique - 2024" :** *Aucun mot-clé.*

**Mots-clés de "B - Autres sciences et domaines d'application - 2024" :**  
*Aucun mot-clé.*

**Domaine :** Systèmes communicants  
**Thème :** Systèmes embarqués et mobilité

**Période :** 01/06/2003 -> 01/06/2004  
**Dates d'évaluation :**

**Etablissement(s) de rattachement :** <sans>  
**Laboratoire(s) partenaire(s) :** <sans UMR>

**CRI :** Centre Inria d'Université Côte d'Azur  
**Localisation :** Centre Inria d'Université Côte d'Azur  
**Code structure Inria :**

**Numéro RNSR :** 200321501M  
**N° de structure Inria:**SR0386RR

### Présentation

L'équipe de recherche Tick a comme objectif l'étude et l'analyse des systèmes réactifs synchrones, ainsi que de leur implantation effective et efficace. Nous nous basons principalement sur le langage Esterel comme formalisme de représentation. Nous poursuivons l'étude de méthodes algorithmiques, basées sur son environnement de développement et sa sémantique mathématique formelle, ainsi que de logiciels d'analyse et de vérification associés.

La programmation réactive synchrone est particulièrement adaptée aux systèmes temps réel, manipulant des événements logiques avec préemption. Le même formalisme peut modéliser des circuits digitaux, des contrôleurs logiciels, ou des systèmes mixtes incluant logiciel et matériel. Les domaines d'applications principaux sont les systèmes embarqués à forte composante contrôle.

Déjà utilisé chez Dassault Aviation pour l'informatique embarquée de ses avions de combat, par Texas Instruments pour la conception de circuits dédiés en téléphonie mobile, et par Cadence pour la conception conjointe de matériel et de logiciel, Esterel est actuellement en phase d'industrialisation et de commercialisation par la société Esterel Technologies. Nous poursuivons en parallèle des études sur de nouvelles techniques avancées de compilation et d'analyse.

Une version graphique du langage, dénommée SyncCharts, a été conçue par Charles André, membre du projet SPORTS de l'Université de Nice Sophia-Antipolis, et collaborateur extérieur de notre équipe.

### Axes de recherche

La compilation actuelle de programmes Esterel utilise une traduction des programmes réactifs en systèmes d'équations booléennes, un formalisme très proche des modèles de circuits digitaux en portes logiques. Ce format intermédiaire est ensuite manipulé par des algorithmes d'analyse, d'optimisation, puis de compilation (logicielle) ou de synthèse (matérielle). Ces algorithmes ont une complexité parfois importante sur de gros programmes, et nous travaillons essentiellement à la conception de nouvelles techniques permettant leur passage à l'échelle, ainsi que la production de code logiciel efficace. Ces améliorations exploitent les informations structurelles syntaxiques des programmes. Elles procèdent de techniques d'analyse statique qui doivent être conçues pour ce domaine spécifique de la programmation synchrone. Par ailleurs, nous étudions des extensions au langage pour augmenter son expressivité pratique. Nous étudions également des extensions de nos techniques d'analyse à base de "model-checking" symbolique, en particulier

### Contact

- **Responsable :** Robert De Simone
- **Tél :** 04.92.38.79.41
- **Secrétariat Tél :** 04.92.38.77.78

### En savoir plus

- Site sur [inria.fr](http://inria.fr)
- Derniers Rapports d'Activité :

### Documents sur la structure

- [Intranet](#)
- [Privés](#)

### Décisions

*Aucune décision associée.*

### Localisation

- **Adresse postale :** Centre Inria d'Université Côte d'Azur 2004 Route des Lucioles - BP 93 06902 Sophia Antipolis cedex France
- **Coordonnées GPS :** 43.616, 7.068

pour le traitement des données par des abstractions appropriées. Enfin, nous étudions l'extension de nos travaux hors du cadre strictement synchrone, en particulier les réseaux asynchrones de processus synchrones, dans des buts d'implantation ou d'analyse.

Nous nous intéressons à la relation entre nos modèles et d'autres formalismes dans lesquels ils peuvent se traduire, en particulier les langages de description de circuits comme VHDL et Verilog, ainsi que les environnements de cosimulation matérielle/logicielle comme VCC ou SynDex.

Le compilateur Esterel (version binaire) est disponible par ftp avec

## Relations industrielles et internationales

Le compilateur Esterel (version binaire) est disponible par ftp avec son environnement de simulation graphique Xes et son logiciel d'analyse et de vérification Xeve. Nous avons créé le site <http://www.esterel.org> pour rassembler la communauté d'utilisateurs et organiser la distribution de nos logiciels.

Nous participons au projet RNRT Syntel, avec Simulog, Cadence et Thomson CSF. Nous avons participé au projet Esprit LTR Syrf, sur le développement des formalismes réactifs synchrones.

Nous collaborons régulièrement avec les sociétés Esterel Technologies, Thomson CSF, Cadence et Intel.

Nous participons à l'action de développement AEE, coordonnée par le projet INRIA SOSSO, qui doit se prolonger par le projet européen EAST-EAA, regroupant avec des organismes de recherche la plupart des industriels de l'automobile en Europe.

Nous faisons partie du réseau d'excellence européen ARTIST/HaRT.