

Application BASTRI

Fiches Equipes

COSI (SR0223HR)

Conception de systèmes sur silicium
API (SR0202LR) □ COSI

Statut: Terminée

Responsable : Sanjay Rajopadhye

Mots-clés de "A - Thèmes de recherche en Sciences du numérique - 2024" : *Aucun mot-clé.*

Mots-clés de "B - Autres sciences et domaines d'application - 2024" :
Aucun mot-clé.

Domaine : Réseaux et systèmes
Thème : Architectures et systèmes

Période : 01/01/1998 -> 30/06/2002
Dates d'évaluation :

Etablissement(s) de rattachement : <sans>
Laboratoire(s) partenaire(s) : <sans UMR>

CRI : Centre Inria de l'Université de Rennes
Localisation : Centre Inria de l'Université de Rennes
Code structure Inria :

Numéro RNSR : 199821426C
N° de structure Inria:SR0223HR

Présentation

Le projet COSI travaille sur des outils et des méthodes pour la mise en oeuvre de systèmes complets sur silicium.

Les défis relatifs à la conception de tels systèmes sont :

- la prise en compte d'une palette évolutive de technologies de réalisation (circuit "full custom" VLSI, circuits reconfigurables (FPGA), systèmes mixtes logiciels/matériels dont la partie logicielle est souvent supportée par des processeurs à jeux d'instructions spécifiques (ASIP)) ;
- la mise en oeuvre dans un temps de plus en plus court ("time-to-market") ;
- la gestion d'une complexité croissante.

Axes de recherche

COSI met l'accent sur trois thèmes, complétés par la mise en uvre d'applications concrètes ainsi que des études sur l'algorithmique.

- Synthèse de systèmes dédiés complets à partir de spécifications de haut niveau. COSI s'appuie sur les recherches menées sur le langage Alpha et son environnement de développement MMAAlpha. MMAAlpha permet de manipuler des programmes Alpha dans le but de générer soit des architectures régulières à partir de spécifications de haut niveau, soit du code pour des machines programmables.
- Conception d'ASIP. Il s'agit de produire, pour une application particulière, à la fois l'architecture et le compilateur permettant d'atteindre les performances visées par cette application. Les techniques s'appuient sur une modélisation de l'architecture du processeur dans le langage Armor, et sur l'environnement de compilation flexible Calife, en développement.
- calcul reconfigurable. Les outils de CAO pour FPGA développés visent à automatiser le processus d'implantation d'architectures régulières sur une plate-forme reconfigurable.
- Études d'applications : traitement de l'image et du signal, télécommunication, calcul haute-performance, biologie moléculaire, algorithmes fondamentaux.

Relations industrielles et internationales

- Collaboration avec l'Indian Statistical Institute de Calcutta sur la compilation et l'optimisation pour des co-processeurs reconfigurables,

Contact

- **Responsable :** Sanjay Rajopadhye
- **Tél :**
- **Secrétariat Tél :**

En savoir plus

- Site sur inria.fr
- Site du [responsable](#)
- Derniers Rapports d'Activité :

Documents sur la structure

- [Intranet](#)
- [Privés](#)

Décisions

Aucune décision associée.

Localisation

- **Adresse postale :** Centre Inria de l'Université de Rennes 263, avenue du Général Leclerc Campus universitaire de Beaulieu 35042 Rennes Cedex France
- **Coordonnées GPS :** 48.116, - 1.64

(convention CEFIPRA).

- Collaboration avec l'université de Trois Rivières au Québec. Des architectures de filtres sont étudiées et synthétisées pour être mises en oeuvre sur des circuits reconfigurables ou des circuits intégrés (convention AUF).
- Contrat avec France-Télécom R&D pour la conception conjointe logiciel-matériel pour l'ATM.