

Application BASTRI

Fiches Equipes

DART (SR0036DR)

Apports du parallélisme données au temps réel
DART □ DART (SR0483ZR)

Statut: Terminée

Responsable : Jean-luc Dekeyser

Mots-clés de "A - Thèmes de recherche en Sciences du numérique - 2024" : *Aucun mot-clé.*

Mots-clés de "B - Autres sciences et domaines d'application - 2024" : *Aucun mot-clé.*

Domaine : Algorithmique, programmation, logiciels et architectures
Thème : Systèmes embarqués et temps réel

Période : 02/09/2004 -> 31/12/2011

Dates d'évaluation :

Etablissement(s) de rattachement : U. LILLE 1 (USTL), CNRS
Laboratoire(s) partenaire(s) : LIFL (UMR8022)

CRI : Centre Inria de l'Université de Lille
Localisation : Centre Inria de l'Université de Lille
Code structure Inria : 101013-0

Numéro RNSR : 200418285M
N° de structure Inria: SR0036DR

Présentation

Ces dernières années, nos activités de recherche concernaient principalement les modèles à parallélisme de données et les techniques de compilation. Le traitement de signal intensif (TSI) avec contraintes temps réel est un domaine pouvant bénéficier de notre expérience. Notre équipe-projet s'intéresse à la direction novatrice suivante: utiliser un paradigme de programmation à parallélisme de données pour les applications TSI. Celles-ci sont principalement développées sur des systèmes embarqués avec des unités de calcul à hautes performances telles que des processeurs de traitement de signal (DSP) ou des unités parallèles SIMD. Notre cible privilégiée est les architectures multi-processeurs sur une puce (System-on-Chip, SoC). Pour réduire le temps de mise sur le marché, l'équipe-projet DART propose un environnement de modélisation de haut niveau pour la conception du logiciel et du matériel. Ce niveau d'abstraction permet en outre l'utilisation de techniques de vérification avant tout prototypage. Il permet aussi de produire automatiquement une distribution et un ordonnancement de l'application sur l'architecture avec génération du code.

Axes de recherche

L'équipe-projet DART contribue à ce domaine de recherche par ces trois axes :

- Co-modélisation pour la conception de SoC :
Nous proposons nos propres métamodèles pour la spécification d'applications, d'architectures et d'associations (entre application et architecture). Ces métamodèles présentent des caractéristiques innovantes telles que des constructions pour le parallélisme de données, des expressions de dépendances itératives, une possibilité d'exprimer à la fois du flot de contrôle et du flot de données et des modèles d'applications et d'architectures répétitives. Tous ces métamodèles sont implémentés en UML en respectant leur spécification en MOF.
- Techniques d'optimisation :
Nous développons des transformations automatiques des constructions à parallélisme de données. Celles-ci sont utilisées pour distribuer et ordonnancer une application sur une architecture donnée. Cette architecture est par nature hétérogène et des techniques appropriées venant de la communauté du calcul à hautes performances peuvent être adaptées. Nous proposons de nouvelles heuristiques pour minimiser la consommation énergétique. Ce nouvel objectif implique la spécification de techniques d'optimisation multicritères pour calculer la distribution et l'ordonnancement.

Contact

- **Responsable :** Jean-luc Dekeyser
- **Tél :** 03.59.57.78.04
- **Secrétariat Tél :** 03.59.57.78.30

En savoir plus

- Site de l'équipe
- Site sur inria.fr
- Site du responsable
- Derniers Rapports d'Activité :

Documents sur la structure

- [Intranet](#)
- [Privés](#)

Décisions

- [4341](#) (27/10/2004) : création
- [6176](#) (25/04/2008) : prolongation
- [6246](#) (30/09/2008) : changement de rattachement
- [8372](#) (03/01/2012) : fermeture

Localisation

- **Adresse postale :** Centre Inria de l'Université de Lille Parc Scientifique de la Haute Borne 40, avenue Halley Bât.A, Park Plaza 59650 Villeneuve d'Ascq France
- **Coordonnées GPS :** 50.606, 3.149

- Simulation de SoC :
La philosophie à flot de données de notre métamodèle est particulièrement bien adaptée à une simulation distribuée. Nous avons développé un environnement distribué plus général pour exécuter des réseaux de processus de Kahn. De telles simulations sont au niveau d'abstraction fonctionnel. Pour prendre en compte l'architecture et le placement de l'application sur celle-ci, nous proposons l'utilisation de la plateforme SystemC afin de simuler à différents niveaux d'abstraction le résultat de la conception du SoC. Cette simulation permet la vérification de l'adéquation de la distribution et de l'ordonnancement (délais de communication, équilibrage de charge, allocation mémoire, ...). Nous supportons aussi l'intégration de composants virtuels décrits à différents niveaux d'abstraction (fonctionnel, fonctionnel temporisé, transactionnel et précis au bit et au cycle près).

Relations industrielles et internationales

- Nous participons à plusieurs projets européens **ITEA**.
 - **Sophocles** (*System level development Platform based on Heterogeneous models and Concurrent Languages for System applications implementation*)
Partenaires : THALES Communications, THALES Underwater Systems, Esterel Technologies, LIFL, Philips, IPiTEC et ENEA.
 - **Prompt2Implementation** (*Parallel processing dedicated, Rapid Optimised Mapping Platform for Telecom applications to Implementation*)
Partenaires : Esterel Technologies, THALES Communications, INRIA (Aoste), LIFL, Nokia, université de technologie de Tampere et université de Turku.
- Nous collaborons avec THALES et le CEA dans le cadre du projet Protes de l'accord Carroll.
- Nous coencadrons une thèse avec Prosilog SA.
- Nous avons noué des liens avec le "Center of Embedded Computer Systems, University of California" autour de la simulation couplée de SpecC et de SystemC.
- Nous participons au projet de plateforme RNRT SoCLib avec comme partenaires le CEA, le CNRS, Thales Communications, ST Microelectronics, Prosilog et TurboConcept.
- Pour finir, nous sommes contributeurs d'EuroSoC, ex réseau d'excellence qui continue à vivre même non supporté par l'Europe.